

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-314409

(P2002-314409A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.⁷

H 0 3 L 7/095

識別記号

F I

H 0 3 L 7/08

テームト* (参考)

B 5 J 1 0 6

審査請求 未請求 請求項の数14 O L (全 15 頁)

(21) 出願番号 特願2001-111297(P2001-111297)

(22) 出願日 平成13年4月10日 (2001. 4. 10)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 平井 良能

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100080816

弁理士 加藤 朝道

Fターム(参考) 5J106 AA04 CC02 CC21 CC41 CC52

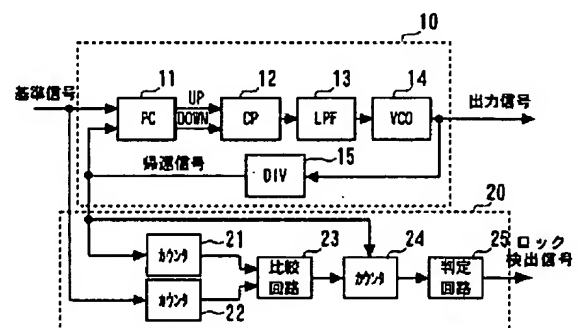
EED1 GG13

(54) 【発明の名称】 ロック検出回路

(57) 【要約】

【課題】PLL回路のロック検出時間、アンロック検出時間を最適化するロック検出回路の提供。

【解決手段】PLL回路10の位相比較器11に入力される帰還信号と基準信号とをそれぞれ入力してカウントするカウンタ21、22と、カウンタ21、22のカウント値を入力して比較し、カウンタ21のカウント値が第1の値のときにカウンタ22のカウント値が第1の値である場合、アクティブ状態の制御信号を出力する比較回路23と、比較回路23から出力される制御信号がアクティブのとき帰還信号をカウントするカウンタ24と、カウンタ24のカウント値が第2の値に達したときロック状態であることを示す値の出力信号を出力する判定回路25を備え、比較回路23において、カウンタ21のカウント値が第1の値でありカウンタ22のカウント値が第1の値でない場合には、カウンタ24をリセットする。



【特許請求の範囲】

【請求項1】出力信号を出力する発振器と、

前記発振器の前記出力信号又は前記出力信号を分周器で分周した信号を帰還信号として一の入力端子より入力し、基準信号を他の入力端子より入力し、これらの信号の位相を比較し、位相比較結果を出力する位相比較器と、

前記位相比較器より出力される前記位相比較結果に基づき、容量を充電、及び放電し、前記帰還信号と前記基準信号との位相差に応じた電圧を生成するチャージポンプと、

前記位相差に応じた電圧を平滑化するフィルタと、を備え、前記フィルタの出力に基づき前記発振器がその発振周波数を可変するPLL (Phase Locked Loop) 回路の位相ロックを検出するロック検出回路において、前記位相比較器の前記一の入力端子に入力される前記帰還信号を入力してカウントする第1のカウントと、前記位相比較器の前記他の入力端子に入力される前記基準信号を入力してカウントする第2のカウントと、前記第1のカウントのカウント値があらかじめ定められた第1の値に一致しているときに、前記第2のカウントのカウント値が前記第1の値と一致している場合に、カウント動作する第3のカウントと、前記第3のカウントのカウント値があらかじめ定められた第2の値と一致したときに、ロック状態であることを示す信号を出力する判定回路と、を備えたことを特徴とするロック検出回路。

【請求項2】前記第1のカウントのカウント値があらかじめ定められた第1の値に一致しているときに、前記第2のカウントのカウント値が前記第1の値と一致している場合に、一致を示す状態の信号を出力する比較回路を備え、

前記第3のカウントは、前記比較回路から出力される前記信号を、カウント動作を制御する信号として入力し、前記比較回路から出力される前記信号が前記一致を示す状態のとき、カウントイネーブル状態とされ、前記第3のカウントに入力される前記帰還信号をカウントする、ことを特徴とする請求項2記載のロック検出回路。

【請求項3】前記判定回路は、前記第1のカウントが前記帰還信号を前記第1の値分カウントする期間を最小の単位として、出力する信号の状態を更新する又は保持する制御を行う、ことを特徴とする請求項1又は2記載のロック検出回路。

【請求項4】前記比較回路において、前記第1のカウントのカウント値が前記第1の値に一致したときに、前記第2のカウントのカウント値が前記第1の値とは異なる値である場合には、前記判定回路は、アンロック状態であることを示す信号を出力する、ことを特徴とする請求項1又は2記載のロック検出回路。

【請求項5】前記比較回路において、前記第1のカウン

タのカウント値が前記第1の値に一致したときに、前記第2のカウントのカウント値が前記第1の値と不一致である場合には、前記第3のカウントをリセットし、前記第3のカウントのカウント値のリセットを受け、前記判定回路は、アンロック状態であることを示す信号を出力する、ことを特徴とする請求項2記載のロック検出回路。

【請求項6】前記判定回路から出力される前記信号がロック状態であることを示すとき、少なくとも前記第1のカウントにおいて前記第1の信号を前記第1の値分カウントするまでの間は、前記第3のカウントはカウント動作せず、前記第2の値と一致するカウント値を保持する、構成とされてなる、ことを特徴とする請求項1又は2記載のロック検出回路。

【請求項7】出力信号を出力する発振器と、前記発振器の前記出力信号又は前記出力信号を分周器で分周した信号を帰還信号として一の入力端子より入力し、基準信号を他の入力端子より入力し、これらの信号の位相を比較し、位相比較結果を出力する位相比較器と、

前記位相比較器より出力される前記位相比較結果に基づき、容量を充電、及び放電し、前記帰還信号と前記基準信号との位相差に応じた電圧を生成するチャージポンプと、

前記位相差に応じた電圧を平滑化するフィルタと、を備え、前記フィルタの出力に基づき前記発振器がその発振周波数を可変するPLL (Phase Locked Loop) 回路の位相ロックを検出するロック検出回路において、前記位相比較器の前記一の入力端子に入力される前記帰還信号を入力してカウントする、リセット機能付きの第1のカウントと、前記位相比較器の前記他の入力端子に入力される前記基準信号を入力してカウントする、リセット機能付きの第2のカウントと、前記第1のカウントのカウント値を入力し、該カウント値があらかじめ定められた第1の値と一致しているときに、一致を示す状態の出力信号を出力する第1の比較回路と、

前記第2のカウントのカウント値を入力し、該カウント値が前記第1の値と一致しているときに、一致を示す状態の出力信号を出力する第2の比較回路と、

前記第1のカウントで前記帰還信号を前記第1の値分カウントした時点で、前記第1のカウントの出力信号が前記一致を示す状態となることを受けて、前記第1のカウントがつぎに前記帰還信号をカウントする前の所定のタイミングで、前記第1、及び第2のカウントをリセットするためのリセット信号を生成する第1のリセット回路と、

前記第1、及び第2の比較回路からそれぞれ出力される出力信号を入力し、これらの出力信号がともに前記一致

を示す状態のとき、第1の論理状態の出力信号を出力する第1の論理回路と、

判定信号と、前記第1の論理回路の出力信号とを入力し、前記判定信号がアンロック状態を示しており、且つ、前記第1の論理回路の出力信号が第1の論理状態のとき、第1の論理状態の出力信号を出力する第2の論理回路と、

前記第2の論理回路の出力信号をカウントイネーブル端子に入力し、前記第2の論理回路の出力信号が第1の論理状態のとき、カウントイネーブル状態とされ、入力される帰還信号をカウントする、リセット機能付きの第3のカウントと、

前記第3のカウントのカウント値を入力し、該カウント値があらかじめ定められた第2の値と一致しているとき、ロックを示す状態の前記判定信号を出力する判定回路と、

前記第1の比較回路の出力信号が一致を示す状態であるときに、前記第2の比較回路の出力信号が不一致を示す状態である場合に、前記第3のカウントをリセットする信号を出力する第2のリセット回路と、

を備えたことを特徴とするロック検出回路。

【請求項8】出力信号を出力する発振器と、

前記発振器の前記出力信号又は前記出力信号を分周器で分周した信号を帰還信号として一の入力端子より入力し、基準信号を他の入力端子より入力し、これらの信号の位相を比較し位相比較結果を出力する位相比較器と、前記位相比較器より出力される前記位相比較結果に基づき、容量を充電及び放電し、前記帰還信号と前記基準信号の位相差に応じた電圧を生成するチャージポンプと、前記位相差に応じた電圧を平滑化するフィルタと、

を備え、前記フィルタの出力に基づき前記発振器がその発振周波数を可変するPLL (Phase Locked Loop) 回路の位相ロックを検出するロック検出回路において、前記位相比較器の前記一の入力端子に入力される帰還信号を入力してカウントし、前記帰還信号をあらかじめ定められた第1の値分カウントした場合に、一致を示す状態の出力信号を出力する、リセット機能付きの第1のカウントと、

前記位相比較器の前記他の入力端子に入力される基準信号を入力してカウントし、前記基準信号を前記第1の値分カウントした場合に、一致を示す状態の出力信号を出力する第2のカウントと、

前記第1のカウントで前記帰還信号を前記第1の値分カウントした時点で、前記第1のカウントの出力信号が前記一致を示す状態となることをうけて、前記第1のカウントが次に前記帰還信号をカウントする前の所定のタイミングで、前記第1、及び第2のカウントをリセットするための信号を生成する第1のリセット回路と、

前記第1、及び第2のカウントの出力信号を入力し、これらの出力信号がともに前記一致を示す状態のとき、第

1の論理状態の信号を出力する第1の論理回路と、前記第1の論理回路からの出力信号をカウントイネーブル端子に入力し、前記第1の論理回路からの出力信号が第1の論理状態のとき、カウントイネーブル状態とされ、入力される前記帰還信号を受けてカウントし、あらかじめ定められた第2の値までカウントした時点で、一致を示す状態の出力信号を出力する、リセット機能付きの第3のカウントと、

前記帰還信号と、前記第1乃至第3のカウントの出力信号と、を入力し、前記第1のカウント乃至第3のカウントの出力信号がすべて前記一致を示す状態のときに、ロックを示す論理状態の判定信号を出力するとともに、前記第1のカウントの出力信号が前記一致を示す状態のとき、前記第2のカウントの出力信号が不一致を示す状態の場合には、アンロックを示す論理状態の判定信号を出力する判定回路と、

前記第1のカウントの出力信号が前記一致を示す状態であるときに、前記第2のカウントの出力信号が不一致を示す状態である場合に、前記第3のカウントをリセットする信号を出力する第2のリセット回路と、

を備えたことを特徴とするロック検出回路。

【請求項9】前記判定回路は、前記第1のカウントの出力信号が、不一致を示す状態のとき、判定信号の状態を保持し、前記第1のカウントの出力信号が前記一致を示す状態となるたびに、前記第3のカウントの出力信号が前記一致を示す状態、又は、前記第2のカウントの出力信号が前記不一致を示す状態のとき、前記判定信号の値を更新する手段を備えている、ことを特徴とする請求項8記載のロック検出回路。

【請求項10】前記判定回路が、前記第1のカウントの出力信号が前記一致を示す状態になったとき、前記第3のカウントの出力信号が前記一致を示す状態であり、且つ、前記第2のカウントの出力信号が前記一致を示す状態のときは、前記帰還信号の遷移で、前記判定信号をアンロック状態からロック状態に遷移させるとともに、前記第1のカウントの出力信号が前記一致を示す状態になったとき、前記第2のカウントの出力信号が不一致を示す状態のときは、前記帰還信号の遷移で、前記判定信号をアンロック状態とする手段を備えている、ことを特徴とする請求項8記載のロック検出回路。

【請求項11】前記第1のカウントが、前記帰還信号の立ち上がりとしち下がりのうちの一方のエッジでカウント動作し、

前記第3のカウントは、カウントイネーブル状態のとき、前記帰還信号の立ち上がりとしち下がりのうちの他方のエッジで、カウント動作する、ことを特徴とする請求項1乃至10のいずれかに記載のロック検出回路。

【請求項12】前記判定回路が、第1の入力端子と第2の入力端子と、一つの出力端子と

を少なくとも有する論理回路よりなる第1の制御回路であって、前記第3のカウンタの出力信号と、前記第2のカウンタの出力信号とを、前記第1の入力端子と前記第2の入力端子とからそれぞれ入力し、前記第3のカウンタの出力信号が第1の論理状態であるか、又は前記第2のカウンタの出力信号が第2の論理状態のときに、第2の論理状態の信号を前記出力端子から出力するとともに、前記第3のカウンタの出力信号が第2の論理状態であり、且つ前記第2のカウンタの出力信号が第1の論理状態のときに、第1の論理状態の信号を、前記出力端子から出力する第1の制御回路と、

第1の入力端子と第2の入力端子と、一つの出力端子とを少なくとも有する論理回路よりなる第2の制御回路であって、前記第1のカウンタの出力信号と、前記第1の制御回路の出力信号とを、前記第1入力端子と前記第2の入力端子とからそれぞれ入力し、前記第1のカウンタの出力信号が第1の論理状態であり、且つ前記第1の制御回路の出力信号が第2の論理状態のときに、第1の論理状態の信号を前記出力端子から出力する第2の制御回路と、

第1の入力端子と第2の入力端子と選択信号入力端子と、一つの出力端子とを少なくとも有するセレクトアであって、前記第2の制御回路の出力信号を、選択信号として前記選択信号入力端子に入力し、前記第1の入力端子と前記第2の入力端子にそれぞれ入力される信号の一方を選択して前記出力端子から出力するセレクトアと、前記セレクトアの出力信号をデータ入力端子に入力し、クロック入力端子に入力される前記帰還信号で、前記データ入力端子の信号をラッチ出力するラッチ回路と、

を備え、
前記セレクトアの前記第1の入力端子には、前記ラッチ回路の出力が帰還入力され、

前記セレクトアの前記第2の入力端子には、前記第2のカウンタの出力信号が入力され、前記セレクトアは、入力される前記選択信号が第2の論理状態のとき、前記セレクトアの前記第1の入力端子の信号を選択して出力し、前記選択信号が第1の論理状態のとき、前記セレクトアの前記第2の入力端子の信号を選択して出力する、ことを特徴とする請求項8記載のロック検出回路。

【請求項13】前記第1のカウンタが、前記帰還信号の立ち上がり又は立ち下がりの方のエッジでカウント動作し、

前記第3のカウンタは、カウントイネーブル状態のとき、前記帰還信号の立ち上がり又は立ち下がりの方の前記一方のエッジとは別のエッジで、カウント動作し、

前記ラッチ回路は、前記帰還信号の立ち上がり又は立ち下がりの方の前記一方のエッジとは別の前記エッジで、前記データ入力端子の信号をラッチする、ことを特徴とする請求項12記載のロック検出回路。

【請求項14】入力信号の周波数に対して1又は所定倍

した周波数の出力信号を生成するPLL (Phase Locked Loop) 回路の位相ロックを検出するロック検出回路において、

第1、及び第2の入力端子と、一つの出力端子とを少なくとも有し、前記PLL回路の前記出力信号を分周値1又はN (ただし、Nは前記所定倍の値で規定される2以上の整数) で分周した信号と、前記PLL回路の前記入力信号とを、前記第1の入力端子と前記第2の入力端子とから、それぞれ、第1の信号と第2の信号として入力し、

前記第1の信号をカウントする第1のカウンタと、前記第2の信号をカウントする第2のカウンタと、前記第1のカウンタが前記第1の信号をあらかじめ定められた第1の値分カウントしたときに、前記第2のカウンタが前記第2の信号をあらかじめ定められた第2の値分カウントしている、という事象の発生を検出する回路と、

を備え、

前記第2の値は、前記第1の値と前記分周値とからその値が規定され、

前記事象の発生をカウントする第3のカウンタと、前記第3のカウンタで、前記事象の発生を、あらかじめ定められた第3の値分カウントした場合に、前記出力端子から、ロック状態を示す信号を出力する判定回路と、

をさらに備え、

前記判定回路は、前記第1のカウンタが前記第1の信号を前記第1の値分カウントしたときに、前記第2のカウンタが前記第2の信号を前記第2の値とは異なる値分カウントしている場合には、前記出力端子から、アンロック状態を示す信号を出力する、ことを特徴とするロック検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、位相同期ループ (Phase Locked Loop; 「PLL」という) 回路に関し、特に、PLL回路のロック検出回路に関する。

【0002】

【従来の技術】カウンタを用いてPLL (Phase Locked Loop; 位相同期ループ) 回路のロック状態を検出するロック検出回路に関する刊行物として、例えば特開平10-322200号公報には、入力基準信号から計数期間生成回路で計数期間を生成し、PLL回路の出力信号をカウンタで該計数期間カウントし、カウント値を比較回路で比較する構成の位相ロック検出回路が開示されている。

【0003】図8は、上記特開平10-322200号公報に開示されている位相ロック検出回路の構成を示す図である。なお、図8において、参照符号等は、上記公報記載のものと相違して付番してある。上記特開平10-322200号公報に開示されている発明において、

PLL回路(集積化PLL)は入力基準信号の周波数に対し所定の周波数変換比を有する周波数の出力信号を生成するものであり、位相ロック検出回路は、1つにパッケージ化されその内部の中間生成信号を取り出すことのできない集積化PLL回路に対しても位相ロック検出を可能とするものである。なお、本願明細書では、単に、カウンタを用いたロック検出回路の構成の説明のためにのみ、上記特開平10-322200号公報を引用している。

【0004】このPLL回路130について概略を説明しておくと、例えば図9に示すように、外部からの入力基準信号RCLK(周波数f_Rとする)137は、分周器136にて入力基準信号の1/Mの周波数(周波数f_Mとする)となるように分周される。このM分周信号MCLKは、位相比較器131への2つの入力の1つである基準用の信号とされる。位相比較器131への他の入力である比較用の信号は、PLL回路130からの出力信号OCLK(周波数f_{OUT}とする)138を分周器135で1/Nの周波数に分周したN分周信号NCLK(周波数f_Nとする)である。位相比較器131は、PLL回路130に入力された基準信号に応じたM分周信号と、PLL回路130からの出力信号に応じたN分周信号とをそれぞれ基準、比較用の信号として入力し、両信号の位相差を検出し、その位相差に応じた位相比較結果信号UP/DOWNを出力する。チャージポンプ132は、位相比較器131からのUP信号がアクティブの間、容量(不図示;ループフィルタ内の容量であってもよい)を充電し、DOWNがアクティブのとき容量を放電し、UPパルスとDOWNパルスがともにインアクティブのときオフとされる。ループフィルタ133は、チャージポンプ132の出力信号を平滑化し、その出力電圧が電圧制御発振器(VCO:Voltage Controlled Oscillator)134に制御電圧として供給され、VCO134は、ループフィルタ133の出力の直流電圧に応じて発振周波数を変えた信号を出力し、この信号がPLL回路130からの出力信号OCLKとされ、出力信号OCLKは、N分周器135への入力され、周波数を1/Nに分周したN分周信号NCLKが帰還信号として位相比較器131に入力される。なお、M分周器、N分周器は、それぞれM=1、N=1の場合には特に設ける必要はなく、M分周器136又はN分周器135を有しないPLL回路の構成もあり得る。

【0005】計数期間生成回路142は、PLL回路130への入力基準信号137を入力し、これに同期しその周期の所定倍数のパルス長を有した計数期間信号パルスを生成する。出力信号カウンタ144は、この計数期間信号パルスをイネーブル信号として用い、そのパルス期間にPLL回路130から出力される出力信号138の波数(サイクル数)をカウントする。カウント値比較回路148には、計数期間信号パルスの時間長とPLL

回路130における周波数変換比との設計値に基づいて予め定められる基準カウント値が設定される。ロック判定回路146は、基準カウント値と、出力信号カウンタ144で測定された出力カウント値との大小から、集積化PLL回路130の入出力信号間の位相ロックの状態を判定する。

【0006】しかしながら、カウンタを用いてPLL回路の出力信号を所定の計数期間カウントし、基準カウント値と比較することでロック/アンロックを検出するという上記ロック検出回路は、ロック状態、アンロック状態の検出時間が、必要以上に長くなる場合がある、という問題点を有している。その理由は、次の通りである。

【0007】図8に示した従来のロック検出回路において、計数期間生成回路142で生成される計数期間が終了するまでの間、カウント値比較回路148では、出力信号OCLKの波数のカウント値と基準カウント値との比較を行うことはできず、計数期間生成回路142で生成される計数期間の単位でしか、ロック、アンロック状態を判断することができない。すなわち、ロック状態判定のためのカウンタの比較動作は計数期間単位に一回とされており、またロック状態からアンロック状態に変化した場合にも、ロック状態判定と同一の上記計数期間経過後に、アンロック状態が検出される。このように、上記した従来のロック検出回路においては、一つのカウンタで、同一の計数期間にわたって出力信号をカウントすることで、ロック、アンロックを検出しており、ロック検出時間、アンロック検出時間をそれぞれ最適な値に設定することができない。

【0008】

【発明が解決しようとする課題】したがって、本発明が解決しようとする課題は、PLL回路のロック検出時間、アンロック検出時間を最適化するロック検出回路を提供することである。

【0009】

【課題を解決するための手段】上記課題を解決するための手段を提供する本発明は、一つのアスペクトにおいて、PLL回路の位相比較器の前記一の入力端子に入力される前記帰還信号を入力してカウントする第1のカウントと、前記位相比較器の前記他の入力端子に入力される前記基準信号を入力してカウントする第2のカウントと、前記第1のカウントのカウント値があらかじめ定められた第1の値に一致しているときに、前記第2のカウントのカウント値が前記第1の値と一致している場合にカウント動作する第3のカウントと、前記第3のカウントのカウント値があらかじめ定められた第2の値と一致したとき、ロック状態であることを示す信号を出力する判定回路と、を備える。

【0010】本発明において、前記第1のカウントのカウント値があらかじめ定められた第1の値に一致しているときに、前記第2のカウントのカウント値が前記第1

の値と一致している場合に、一致を示す状態の信号を出力する比較回路を備え、前記第3のカウンタは、前記比較回路から出力される前記信号を、カウント動作を制御する信号として入力し、前記比較回路から出力される前記信号が前記一致を示す状態のとき、カウントイネーブル状態とされ、前記第3のカウンタに入力される前記帰還信号をカウントする構成としてもよい。

【0011】本発明においては、前記比較回路において、前記第1のカウンタのカウント値があらかじめ定められた第1の値に達したときに、前記第2のカウンタのカウント値が前記第1の値でない場合には、前記第3のカウンタをリセットし、前記第3のカウンタのカウント値のリセットを受けて、前記判定回路は、アンロック状態を示す値の出力信号を出力する。以下の説明でも明らかとされるように、上記課題は、本願特許請求の範囲の各請求項の発明によっても同様にして解決される。

【0012】

【発明の実施の形態】本発明の好適な実施の形態について説明する。本発明の実施の形態は、入力される基準信号の周波数と同じか又は該周波数をN逓倍した出力信号を出力するPLL回路のロック検出回路において、前記出力信号を分周値1又はNで分周した信号(第1の信号)をカウントする第1のカウンタ(図1の21)と、基準信号(第2の信号)をカウントする第2のカウンタ(図1の22)と、前記第1のカウンタが、第1の信号を、あらかじめ定められた第1の値分カウントしたとき、第2のカウンタが第2の信号を、前記第1の値と前記分周値とから規定される第2の値分をカウントしている場合に、カウントアップする第3のカウンタ(図1の24)を備え、判定回路(図1の25)は、第3のカウンタ(図1の24)のカウント値が、あらかじめ定められた第3の値となった場合に、ロック状態と判定し、状態の更新は、第1のカウンタ(図1の21)が前記第1の信号を前記第1の値分カウントする期間を単位に行い、第1のカウンタ(図1の21)が前記第1の信号を前記第1の値分カウントしたとき、第2のカウンタ(図1の22)が前記第2の信号を前記第2の値とは異なる値カウントしている場合には、アンロック状態と判定する。かかる構成において、第1の信号と第2の信号の周波数が等しい場合、第1、及び第2のカウンタにおける第1、第2の値は互いに等しい値とされる。

【0013】また、本発明の実施の形態の変形として、第1のカウンタ(図1の21)に入力される第1の信号として、基準信号の周波数のN逓倍したPLL回路(図1の10)の出力信号を用いる構成とした場合(分周器(図1の15)はPLL回路の出力信号をN分周する)、基準信号をカウントする第2のカウンタ(図1の22)の第2の値は、第1のカウンタの設定値である第1の値の1/N(ただし、Nは分周値)に設定される。これは、第1のカウンタ(図1の21)で第1の信号

(基準信号の周波数のN逓倍)をK個カウントした場合、第2のカウンタ(図1の22)では、基準信号をK/N個カウントするためである。

【0014】次に、本発明の一実施の形態について図面を参照して説明する。PLL回路(10)は、図1を参照すると、制御電圧に基づき発振周波数を可変して出力する電圧制御発振器(14)と、電圧制御発振器(14)の出力信号を分周する分周器(15)と、入力される基準信号と、分周器(15)で分周された信号(帰還信号)とを入力し、二つの信号の位相を比較する位相比較器(11)と、位相比較器(11)による位相比較結果に基づき容量を充電及び放電し、前記基準信号と前記帰還信号の位相差に応じた電圧を生成するチャージポンプ(12)と、該位相差に応じた電圧を平滑化し制御電圧として電圧制御発振器(14)に供給するフィルタ(13)と、を有する。分周器(15)の分周値が1の場合、分周器(15)はなくてもよく、電圧制御発振器(14)の出力がそのまま位相比較器(11)に帰還信号として入力される。

【0015】ロック検出回路(20)は、第1、第2の入力端子と、一つの出力端子を有し、位相比較器(11)の二つの入力端子に入力されて位相比較される帰還信号、及び、基準信号を、第1、第2の入力端子から、第1、第2の信号として入力し、第1、第2の信号をそれぞれカウントする第1及び第2のカウンタ(21、22)と、第1のカウンタ(21)のカウント値があらかじめ定められた第1の値のときに、第2のカウンタ(22)のカウント値が第1の値である場合、第1の論理状態の信号を出力する比較回路(23)と、比較回路(23)から出力される信号が第1の論理状態のとき、カウントイネーブル(カウント動作許可)とされ、帰還信号をカウントする第3のカウンタ(24)と、第3のカウンタ(24)のカウント値があらかじめ定められた第2の値と一致したとき、ロック状態であることを示す信号を出力する判定回路(25)と、を備えている。

【0016】第1のカウンタ(21)のカウント値があらかじめ定められた第1の値(=NA)のときに、第2のカウンタ(22)のカウント値が同じく第1の値(=NA)である場合(図2参照)、帰還信号をカウントする第3のカウンタ(24)がカウントアップし、第3のカウンタ(24)のカウント値があらかじめ定められた第2の値に達したとき、判定回路(25)は、ロック状態であることを示す信号を出力する。

【0017】判定回路(25)は、第1のカウンタ(21)のカウント値があらかじめ定められた第1の値に達したときに、第2のカウンタ(22)のカウント値が第1の値とは異なる場合には、アンロック状態を示す信号を出力する。この制御を実現するロジックの一例として、比較回路(23)において、第1のカウンタ(21)のカウント値があらかじめ定められた第1の値に達

11

したときに、第2のカウンタ(22)のカウント値が前記第1の値とならない場合、第3のカウンタ(24)をリセットする制御を行い、第3のカウンタ(24)のカウント値がゼロにリセットされた場合、判定回路(25)は、アンロック状態を示す値の判定信号を出力する構成としてもよい。

【0018】このように、本発明の一実施の形態においては、入力される帰還信号をカウントする第1のカウンタ(21)が第1の値分をカウントする期間で、アンロック状態を検出し、第1の値と第2の値とを乗じた値のサイクル数(帰還信号のサイクル数)の期間で、ロック状態を検出する。

【0019】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明を適用した実施例について以下に説明する。図1は、本発明の一実施例の構成を示す図である。PLL回路は、位相比較器(Phase Comparater; PC)11と、位相比較器11から出力されるUP信号とDOWN信号により、容量(不図示)への充電、放電電流の供給を制御するチャージポンプ12と、容量の端子電圧を平滑化する低域通過フィルタよりなるループフィルタ13と、ループフィルタ13の出力電圧を制御電圧として入力し該制御電圧値に応じて発振周波数が可変される電圧制御発振器(VCO)14と、電圧制御発振器14の出力の周波数を分周する分周器(DIV)15と、を備え、位相比較器11は、入力基準信号(「基準信号」という)と分周器15からの分周出力信号(「帰還信号」という)との位相差を比較する。分周器15は、分周値が1の場合、なくてもよい。また、PLL回路としては、図8を参照して説明したように、入力基準信号を入力信号を分周する分周器でM分周して、位相比較器に供給する構成のものであってもよいことは勿論である(M=1、N=1であってよい)。さらに電圧制御発振器は、電流制御発振器であってよい。

【0020】本発明の一実施例において、ロック検出回路20は、二つの入力端子から、位相比較器11に入力される基準信号と帰還信号とを入力してロック判定を行い、出力端子からロック検出信号を出力するものであり、第1、第2、第3のカウンタ21、22、24と、比較回路23と、判定回路25と、を備えている。

【0021】第1のカウンタ21には、帰還信号が入力され、帰還信号を立ち上がりエッジで、カウントアップする。第2のカウンタ22には、基準信号が入力され、基準信号を立ち上がりエッジで、カウントアップする。

【0022】第1のカウンタ21のカウント値と、第2のカウンタ22のカウント値とを入力して比較する比較回路23は、第1のカウンタ21のカウント値があらかじめ定められた設定値「NA」であるときに、第2のカウンタ22のカウント値が同じ設定値「NA」である場合、出力信号をアクティブ状態とする。

12

【0023】比較回路23は、第1のカウンタ21のカウント値が設定値「NA」と一致しないか、あるいは第2のカウンタ22のカウント値が設定値「NA」と一致しない場合には、第3のカウンタ24に対して、出力信号をインアクティブ状態とする。

【0024】また比較回路23は、第1のカウンタ21のカウント値が設定値「NA」に達した場合に、第1のカウンタ21と第2のカウンタ22をリセットし、第1のカウンタ21と第2のカウンタ22はそれぞれのカウント値を零値とする。

【0025】第3のカウンタ24は、比較回路23からの出力信号がアクティブ状態のときに、カウントインエーブル(カウント許可)とされ、入力される帰還信号をカウントアップする。第3のカウンタ24は、比較回路23からの出力信号がインアクティブ状態のときに、カウントディスエーブル(カウント不許可)とされ、帰還信号のカウント動作は行わない。

【0026】判定回路25は、第3のカウンタ24のカウント値とあらかじめ定められた設定値「C」とを比較し、両者が一致した場合、ロック検出信号をアクティブ状態とする。

【0027】判定回路25から出力される出力信号がロック状態であることを示す値であるとき、第3のカウンタ24は、入力される帰還信号のカウント動作を停止し、出力するカウント値として値「C」を保持する。

【0028】比較回路23において、第1のカウンタ21のカウント値が設定値「NA」に達したときに、第2のカウンタ22のカウント値が「NA」でない場合には、第3のカウンタ24をリセットし、第3のカウンタ24のカウント値は零となり、第3のカウンタ24のカウント値と値「C」とは不一致となり、判定回路25は、アンロック状態を示す値の出力信号を出力する。

【0029】第1、第2のカウンタ21、22のカウント値が、1、2、3、…、NA-1と推移し、ともに「NA」となるたびに、第3のカウンタ24では、1、2、3、…、C-1とカウントアップしていき、帰還信号を、そのサイクル数で、連続して、NA×C分カウントした時点(帰還信号の周期をtCKとすると、tCK×NA×Cの期間に相当)で、判定回路25は、ロック検出信号をアクティブ状態(すなわちロック状態)とする。なお、NA、Cの値は、16、256、あるいは、256、8等のほか任意の組み合わせが適用され、PLL回路の周波数帯等、及び適用システムに応じて適宜設定される。

【0030】ロック検出までの第1～第3のカウンタ21、22、24のカウント値は、以下のように推移する。

【0031】

	1 3	
カウンタ21、22	カウンタ24	
1、2、…、NA	1	
1、2、…、NA	2	
… … NA	…	
1、2、…、NA	C	

【0032】第1のカウンタ21と第3のカウンタ24により、帰還信号を、トータル $NA \times C$ サイクル分カウントした時点で、判定回路26が、アクティブ状態のロック検出信号を出力した場合、ひきつづいて、第1のカウンタ21は、カウント値=零から、帰還信号をカウントし、カウント値が「NA」に達したときに、第2のカウンタ22のカウント値が「NA」である場合、判定回路25は、ロック検出信号をアクティブ状態に保持しつづける。

【0033】判定回路25は、第3のカウンタ24のカウント値と値「C」（2進表示データ）をビット毎に一致検出する一致検出回路を並列配置し、一致検出回路の出力の論理積をロック検出信号として出力する論理積（AND）回路で構成される。

【0034】なお、図1に示した実施例の変形として、PLL回路の出力信号の周波数が基準信号の周波数の「N」倍（N進倍）であり、分周器15の分周値が「N」の場合、PLL回路の出力信号を第1の信号として、第1のカウンタ21に入力し、基準信号を第2のカウンタ22に入力する構成とし、比較回路23は、第1のカウンタ21が、第1の信号を、「 $NA \times N$ 」分カウントしているときに、第2のカウンタ22が基準信号を「NA」カウントしているときに、出力信号をアクティブとして、第3のカウンタ24をカウントイネーブル状態として、第3のカウンタ24が第1の信号をカウントする構成とし、第3のカウンタ24のカウント値が「C」に達した場合に、判定回路25でロック状態を示す信号を出力する構成としてもよい。

【0035】図3は、図1に示したロック検出回路20の構成の具体例を示す図である。なお、図3において、図1と同一の要素には同一の参照符号が付されている。

【0036】PLL回路（図1の10）の位相比較器（図1の11）の一の入力端子に帰還入力される帰還信号の立ち上がりエッジでカウント動作する第1のカウンタ21のカウント値と、あらかじめ定められた設定値NAを格納するレジスタ233の値は、第1の比較回路231に入力されて比較される。

【0037】PLL回路の位相比較器（図1の11）の他の入力端子に入力される基準信号の立ち上がりエッジでカウント動作する第2のカウンタ22のカウント値とレジスタ233の値は第2の比較回路232に入力されて比較される。

【0038】第1、第2の比較回路231、232は、例えば図7に示したような回路で構成される。図7のレジスタ33（図3のレジスタ233に対応）のnビット

14

とカウンタのカウント値のnビットをビット同士比較する、n個並列に配置された一致検出回路（排他的否定論理和回路）311～31nを備え、一致検出回路（排他的否定論理和回路）311～31nの論理積を比較結果信号として出力するAND回路32を備えている。カウンタのカウント値がレジスタの値と一致した場合、AND回路32からHighレベルの信号が出力される。

【0039】第1の比較回路231の出力信号は、カウンタリセット回路として機能する第1のAND回路26の第1の入力端子に入力され、第1のAND回路26の第2の入力端子に入力される帰還信号（反転）との論理積をとった出力信号が、第1のカウンタ21のリセット端子Rと第2のカウンタ22のリセット端子Rに入力される。なお、第1のAND回路26の第2の入力端子はLowレベルのときアクティブ状態とされ、第1のAND回路26は、第2の入力端子に入力される帰還信号がLowレベルであり、且つ第1の入力端子に入力される第1の比較回路231の出力がHighレベルのとき、その出力端子からHighレベルの出力信号を出力する。第1のAND回路26からのHighレベルの出力信号を受けて、第1のカウンタ21と第2のカウンタ22はリセットされる。

【0040】第1、及び第2の比較回路231、232の出力信号（比較結果信号）は、第2のAND回路27の第1、及び第2の入力端子に入力され、第2のAND回路27の出力端子は、第3のAND回路28の第2の入力端子に接続され、第3のAND回路28の出力端子は、第3のカウンタ24のカウントイネーブル端子に接続される。第3のAND回路28の第1の入力端子は、Lowレベルのときアクティブ状態とされ、この第1の入力端子には、判定回路25の出力信号が入力されている。第3のAND回路28は、その第1の入力端子に入力される、判定回路25の出力信号がLowレベル（アンロック状態）であり、且つ、その第2の入力端子に入力される信号がHighレベルのとき、Highレベルの出力信号を出力する。なお、第3のAND回路28の第1の入力端子等、負論理の入力端子には、入力信号をインバータ等で反転した信号を、正論理の入力端子に供給する構成としてもよい。

【0041】第3のカウンタ24は、カウントイネーブル端子がHighレベル（アクティブ状態）のとき、カウント動作許可状態とされ、入力される帰還信号の立ち下がりでカウントアップする。

【0042】判定回路25は、入力される第3のカウンタ24のカウント値を、定数Cと比較し、これらが一致している場合に、出力端子からHighレベルの出力信号（図1のロック検出信号）を出力する。この判定回路25は、図7に示した構成と同様とされる。ただし、図7のレジスタ33には、定数Cの2進表示データが格納され、図7の一致検出回路31は、カウンタのビット数

に対応した個数並列配置される。

【0043】図3の第4のAND回路29は、第1の比較回路23₁から出力される比較結果信号を第1の入力端子に入力し、第2の比較回路23₂から出力される比較結果信号(反転)を第2の入力端子に入力し、その出力端子は、第3のカウント24のリセット端子に接続されている。第4のAND回路29は、その第1の入力端子に入力される、第1の比較回路23₁の比較結果信号がHighレベルであり、且つ、その第2の入力端子に入力される、第2の比較回路23₂の比較結果信号がLowレベルのとき、Highレベルの出力信号を、第3のカウント24のリセット端子Rに供給し、第3のカウント24をリセットする。

【0044】次に、本発明の一実施例のロック検出回路の動作について説明する。図2は、本発明の一実施例の動作を説明するためのタイミング図である。なお、図2では、第1のカウント21のカウント値(カウント値1)が「NA」となり、リセットされ、次の帰還信号のサイグルで、第1のカウント21がカウント値(カウント値1)が「1」となる2サイクル分の動作タイミングが示されている。

【0045】帰還信号のLowレベルからHighレベルへの立ち上がり遷移を受けて、第1のカウント21がカウントアップ動作し、基準信号のLowレベルからHighレベルへの立ち上がり遷移を受けて、第2のカウント22がカウントアップ動作する。

【0046】帰還信号の立ち上がり(図2のタイミングt_{NA})で第1のカウント21のカウント値(カウント値1)が「NA」となり、第1の比較回路23₁の出力信号がHighレベルとなると、第1のAND回路26は、図2のタイミングaで、帰還信号がLowレベルになったとき、その出力信号をHighレベルとし、第1のAND回路26の出力信号をリセット端子Rに入力する第1のカウント21と第2のカウント22はリセットされ(図2のタイミングaよりも後で、タイミングt_{NA}+1よりも前のタイミング)、それぞれのカウント値は「0」となる(図2では示されていない)。

【0047】タイミングt_{NA}+1の帰還信号の立ち上がりで、第1のカウント21は、カウントアップし、そのカウント値は「1」となる。第2のカウント22は、基準信号の立ち上がりで、カウントアップし、そのカウント値は「1」となる。

【0048】第1、及び第2の比較回路23₁、23₂の比較結果信号がともにHighレベル(第1、及び第2のカウント21、22のカウント値がNA)の間、第2のAND回路27の出力信号はHighレベルとなり、判定回路25の出力端子から出力される信号(ロック検出信号)がLowレベルであるとき、第3のAND回路28の出力信号はHighレベルとなり、第3のカウント24は、カウンティネーブル状態とされ、帰還信

号の立ち下がり遷移を受けてカウントアップする。なお、図2のタイミングa(帰還信号のHighレベルからLowレベルへの立ち下がりのタイミング)では、第1、第2のカウント21、22はいまだリセットされていず(すなわち、第1、第2のカウント21、22がリセットされ、それぞれのカウント値が零値となるタイミングt_aよりも遅れる)、第1、第2の比較回路23₁、23₂の比較結果信号はともにHighレベルとされ、第3のカウント24は、カウンティネーブル状態とされる。帰還信号のHighレベルからLowレベルへの立ち下がりエッジで、第3のカウント24はカウントアップする。

【0049】一方、第1の比較回路23₁の比較結果信号がHighレベル(第1のカウント21のカウント値が「NA」と一致)であり、第2の比較回路23₂の比較結果信号がLowレベルのとき(第2のカウント22のカウント値は「NA」と一致しない場合)、第4のAND回路29の出力信号はHighレベルとなり、第3のカウント24をリセットし、第3のカウント24のカウント値は「0」となる。

【0050】第3のカウント24は、第1の比較回路21の比較結果信号と第2の比較結果信号がともにHighレベルである(第1のカウント21のカウント値が「NA」と一致し、且つ、第2のカウント22のカウント値が「NA」と一致する)という事象が、連続して、あらかじめ定められた回数(C回)繰り返すと、第3のカウント24のカウント値は、帰還信号のHighレベルからLowレベルへの立ち下がり遷移を受けて、1、2、3、…、C-1とカウントアップしていき、第3のカウント24のカウント値が「C」となった時点で、判定回路25は、ロック状態の信号を出力する。このように、本実施例では、第1のカウント21と第2のカウント22が、それぞれ、帰還信号と基準信号の立ち上がりエッジでカウント動作を行い、第3のカウント24では、帰還信号の立ち下がりエッジでカウント動作を行う構成とし、第1、第2のカウント21、22と、第3のカウント24のカウント動作のタイミングをずらしたことにより、タイミングマージンが確保され、製造上のバラツキの影響を受けにくく、安定な動作を可能とし、正確なロック/アンロック検出を可能としている。

【0051】一方、第3のカウント24のカウント値が「C」に達するまえに、第1のカウント21で帰還信号を「NA」カウントした時点(第1の比較回路23₁の出力はHighレベル)で、基準信号の第2のカウント22でのカウント値が「NA」でない場合、第3のカウント24はリセットされ、第3のカウント24のカウント値「0」から、帰還信号のカウント動作を再開することになる。すなわち、第1のカウント21のカウント値が「NA」となるときに、第2のカウント22のカウント値も「NA」となるといいう事象が、連続してK回(K

＜C＞繰り返し（第3のカウンタ24のカウンタ値は1、…、Kと変化）、その後、第1のカウンタ21のカウンタ値が「NA」となるとき、第2のカウンタ22のカウンタ値が「NA」とならない場合には、第3のカウンタ24はリセットされ、そのカウンタ値は「0」となる。この場合、第3のカウンタ24のカウンタ値は「C」とは異なり、判定回路25の出力信号はLowレベル（アンロック状態）となる。すなわち、帰還信号のNAサイクル単位でアンロック状態を検出することができ、

【0052】判定回路25の出力信号がHighレベル（ロック状態）のとき、第3のAND回路28の出力信号はLowレベルとされ、第3のカウンタ24のカウンタ値はLowレベルとされ（カウンタディスエーブル状態）、第3のカウンタ24は、帰還信号の立ち下がりエッジでカウンタアップ動作しない。なお、第1、第2のカウンタ21、22、及び第3のカウンタ24は、電源投入等の初期化時にリセットされる。

【0053】次に、本発明の第2の実施例について説明する。図4は、本発明の第2の実施例のロック検出回路の構成を示す図である。本発明の第2の実施例においては、第1のカウンタ21A、第2のカウンタ22A、及び第3のカウンタ24Aの各々は、それぞれ、あらかじめ定められた設定値をカウントした時に、一致を示す状態（例えばHighレベル）の出力信号（1ビット信号）を出力する。かかる構成によれば、図3に示した第1の比較回路231、第2の比較回路232、レジスタ233の構成は不要とされる。なお、第1のカウンタ21A、第2のカウンタ22A、及び第3のカウンタ24Aの出力信号としては、カウンタ値の上限値（設定値）に達した時に出力されるオーバーフロー信号を用いてもよい。

【0054】第1のAND回路26は、前記実施例と同様、カウンタリセット回路として機能し、第1のカウンタ21Aが帰還信号を値「NA」カウントした時点で、第1のカウンタ21Aの出力信号がHighレベルとなることを受けて、帰還信号がLowレベルのとき、出力信号をHighレベルとする。

【0055】第1のAND回路26の出力信号をリセット端子Rに入力する第1、及び第2のカウンタ21A、22Aは、第1のAND回路26からのHighレベルの出力信号を受けてリセットされ、それぞれのカウンタ値は零とされ、第1、及び第2のカウンタ21A、22Aの出力信号はLowレベルとされる。第1、及び第2のカウンタ21Aの出力信号がLowレベルとなると、第1のAND回路26の出力はLowレベルとなる。なお、第1、第2のカウンタ21A、22A、第3のカウンタ24Aは、電源投入等の初期化時にもリセットされる。

【0056】第1、及び第2のカウンタ21A、22A

の出力信号を第1、第2の入力端子に入力とする第2のAND回路27の出力端子は、カウンタイネーブル信号として第3のカウンタ24Aのカウンタイネーブル端子Eに接続されており、第1、及び第2のカウンタ21A、22Aの出力信号がHighレベルのとき、第2のAND回路27はHighレベルを出力し、第3のカウンタ24Aは、カウンタイネーブル状態とされる。第3のカウンタ24Aは、カウンタイネーブル状態のときに、入力される帰還信号の立ち下がりエッジで、カウンタアップし、第3のカウンタ24Aは、あらかじめ定められた値「C」をカウントした時に、Highレベルの出力信号を出力する。なお、第3のカウンタ24Aのカウンタイネーブル状態は、最短でも、第1のカウンタ21Aが帰還信号を「NA」カウントする周期に一回とされており、帰還信号のHighからLowレベルへの立ち下りのタイミングを含む期間とされる。

【0057】第1のカウンタ21Aの出力信号と、第2のカウンタ22Aの出力信号（反転）を入力とする第3のAND回路30は、第1のカウンタ21Aの出力信号と、第2のカウンタ22Aの出力信号が、それぞれHighレベルとLowレベルのとき、出力端子からHighレベルの出力信号を出力して、第3のカウンタ24Aのリセット端子Rに供給する。リセット端子RがHighレベルとされた第3のカウンタ24Aはリセットされ、カウンタ値を「0」とし、出力信号をLowレベルとする。

【0058】判定回路25Aは、帰還信号（反転）と、第3のカウンタ24Aの出力信号と、第1のカウンタ21Aの出力信号と、第2のカウンタ22Aの出力信号とを、それぞれ、信号1、2、4、3として入力端子から入力し、ロック状態であるかアンロック状態であるかを示す信号（図1のロック検出信号）を出力端子から出力する。

【0059】判定回路25Aの機能の一例について以下に説明する。判定回路25Aは、第1のカウンタ21Aの出力信号4がHighレベルのとき、第2のカウンタ22Aの出力信号3がHighレベルであり、さらに、第3のカウンタ24Aの出力信号2がHighレベルのとき、帰還信号（反転）1の立ち上がり（帰還信号の立ち下がり）で、ロック状態を示す値（Highレベル）の信号をラッチ出力する。

【0060】判定回路25Aは、第1のカウンタ21Aの出力信号4がHighレベルのとき、第2のカウンタ22Aの出力信号3がLowレベルの場合、帰還信号（反転）1の立ち上がり（帰還信号の立ち下がり）で、アンロック状態を示す値（Lowレベル）の信号をラッチ出力する。

【0061】判定回路25Aは、第1のカウンタ21Aの出力信号4がLowレベルのとき（すなわち、第1のカウンタ21Aのカウント値が値「NA」以外のと

き)、状態を保持する(出力信号は変化しない)。

【0062】判定回路25Aは、第1のカウンタ21Aの出力信号4がHighレベルのときに(すなわち、第1のカウンタ21Aのカウント値が「NA」のとき)、第3のカウンタ24Aの出力信号2がHighレベル、又は、第2のカウンタ22Aの出力信号3がLowレベルのとき、ロック/アンロック状態に応じて、その出力論理値を更新する。例えば、第3のカウンタ24Aの出力信号2がHighレベル、且つ、第2のカウンタ22Aの出力信号3がHighレベルのときは、アンロック状態からロック状態に移し、第2のカウンタ22Aの出力信号3がLowレベルのときは、アンロック状態となる。この実施例においても、ロック状態検出後に、アンロック状態となった場合、帰還信号の「NA」サイクル分の期間で、アンロック状態の信号が出力される。

【0063】図5は、図4の判定回路25Aの構成の一例を示す図である。図5を参照すると、判定回路25Aは、信号2、3を入力とするAND回路251と、AND回路251の出力信号と信号4(反転)を入力とするNOR回路252と、信号3とD型フリップフロップ254の反転出力QとをA、B端子から入力し、NOR回路252の出力信号を選択信号端子Sに入力し、選択信号端子Sの値に基づき、A、B端子に入力される信号の一方を選択し、反転して出力するセレクト253と、セレクト253の出力の反転信号を、帰還信号(反転)1の立ち上がりエッジ(帰還信号の立ち下がりエッジ)でサンプルし、出力端子Qから出力するD型フリップフロップ254と、を備えている。

【0064】セレクト253は、選択信号端子Sの値に基づき、2入力のうち一方を選択するものであり、例えば、A端子に入力端子が接続される第1の3ステートインバータと、B端子にインバータを介して入力端子が接続される第2の3ステートインバータとを備え、第1及び第2の3ステートインバータの出力を共通接続して構成され、第2の3ステートインバータの出力イネーブル端子には選択信号が入力され、第1の3ステートインバータの出力イネーブル端子には、該選択信号をインバータで反転した信号が入力され、選択信号がLowレベルのとき、第1の3ステートインバータが出力イネーブル状態とされ、第2の3ステートインバータはハイインピーダンス状態とされ、選択信号がHighレベルのとき、第2の3ステートインバータが出力イネーブル状態とされ、第1の3ステートインバータはハイインピーダンス状態とされる、構成としてもよい。

【0065】AND回路251は、第3のカウンタ24Aの出力信号2がLowレベルであり(第3のカウンタ24Aのカウント値が設定値「C」と不一致の間)、且つ、第2のカウンタ22Aの出力信号3がHighレベルのとき、Highレベルの信号を出力する。またAND回路251は、第3のカウンタ24Aの出力信号2が

Highレベルであるか、又は、第2のカウンタ22Aの出力信号3がLowレベルである場合に、Lowレベルの信号を出力する。

【0066】NOR回路252は、第1のカウンタ21Aの出力信号4がHighレベル(第1のカウンタ21Aが帰還信号を「NA」分カウント)であり、AND回路251の出力信号がLowレベルのとき、Highレベルの信号を出力して、セレクト253の選択信号端子Sに供給し、このとき、セレクト253は、B端子に入力される第2のカウンタ22Aの出力信号3(反転)を選択して出力(反転出力)する。セレクト253のB端子に入力される信号は、反転入力されて反転出力され、等価的に、入力信号がそのまま(正転状態で)、D型フリップフロップ254のデータ入力端子Dに供給される。

【0067】NOR回路252は、第1のカウンタ21Aの出力信号4がLowレベル(第1のカウンタ21Aが、帰還信号をNA分カウントするまでの間)のとき、Lowレベルの信号を出力して、セレクト253の選択信号端子Sに供給し、このとき、セレクト253は、A端子を選択し、その反転信号を出力する。すなわち、D型フリップフロップ254の反転出力QBを反転した信号がD型フリップフロップ254のデータ入力端子Dに入力され、D型フリップフロップ254は、帰還信号(反転)1の立ち上がり(帰還信号の立ち下がり)でデータ入力端子Dの信号をサンプルし、正転出力端子Qから出力する。このため、D型フリップフロップ254の出力端子Qの出力信号(判定回路25Aの出力信号)の論理値は、変化しない(直前の状態を保持する)。

【0068】また、NOR回路252は、AND回路251の出力信号がHighレベルのとき、すなわち第3のカウンタ24Aの出力信号2がLowレベルであり(第3のカウンタ24Aのカウント値がCとなるまでの間)、且つ、第2のカウンタ22Aの出力信号3がHighレベルのとき(第2のカウンタ22Aのカウント値がNAの時)、Lowレベルの信号を出力して、セレクト253の選択信号端子Sに供給し、このとき、セレクト253は、A端子を選択し、D型フリップフロップ254の反転出力QBを反転した信号がD型フリップフロップ254のデータ入力端子Dに入力され、この場合も、D型フリップフロップ254の出力信号の値は変化しない。

【0069】図6は、判定回路25Aの動作をまとめて真理値表として表したものである。なお、図6では、図5の回路動作の説明を容易とするため、第1行に含まれる信号の組合せを第4行等に別途示してある。また、図6では、図5の信号のHighレベルを論理「1」、図5の信号のLowレベルを論理「0」で表している。図5及び図6を参照して、本発明の第2の実施例の動作について説明する。

【0070】(1)第1のカウンタ21Aの出力信号4がLowレベル(0)のとき、NOR回路252はLowレベル(0)を出力し、セクタ253は、A端子を選択して出力する。セクタ253は、A端子に入力されるD型フリップフロップ254の反転出力QBの出力を選択し、これを反転出力して、D型フリップフロップ254のデータ入力端子Dに供給する。D型フリップフロップ254は、帰還信号(反転)1の立ち上がりエッジで、セクタ253の出力信号をサンプル出力するため、その出力Qの値は変化せず、D型フリップフロップ254は、状態を保持する。

【0071】(2)第2のカウンタ22Aの出力信号3がLowレベル(0)のとき、AND回路251の出力信号はLowレベルとなる。第1のカウンタ22Aの出力信号4がHighレベル(1)であり、第2のカウンタ22Aの出力信号3がLowレベル(0)のとき、図4のAND回路30は、第3のカウンタ24Aのリセット端子Rに、Highレベルの信号を供給し、第3のカウンタ24Aは、リセットされる。

【0072】第1のカウンタ21Aの出力信号4がHighレベル(1)であり、第2のカウンタ22Aの出力信号3がLowレベル(0)であり、AND回路251の出力信号がLowレベルのとき、NOR回路252は、Highレベル(1)をセクタ263の選択信号端子Sに出力する。選択信号端子SがHighレベルとされたセクタ253では、B端子に入力される第2のカウンタ22Aの出力信号3(反転)であるHighレベルを選択し、これを反転した信号であるLowレベル(0)を、D型フリップフロップ254のデータ入力端子Dに出力する。D型フリップフロップ254は、帰還信号(反転)1の立ち上がりのタイミングで、データ入力端子Dの信号をサンプルし、出力端子QからLowレベル(アンロック状態)を出力する。

【0073】(3)第2のカウンタ22Aの出力信号3がHighレベル(1)であり、第3のカウンタ24Aの出力信号2がLowレベル(0)のとき、AND回路251はその出力信号としてHighレベルを出力する。このとき、NOR回路252は、第1のカウンタ21Aの出力信号4の値によらず、Lowレベルを出力し、セクタ253は、A端子の信号を選択出力する。このため、帰還信号(反転)1の立ち上がりのタイミングでデータ入力端子Dの信号をラッチするD型フリップフロップ254は、状態を変化させない。

【0074】(4)第1のカウンタ21Aの出力信号4がLowレベル(0)、第2のカウンタ22Aの出力信号3がHighレベル(1)、第3のカウンタ24Aの出力信号2がHighレベル(1)のとき、第1のカウンタ21Aの出力信号4を入力とするNOR回路252は、Lowレベルを出力し、セクタ253は、A端子の信号を選択出力し、帰還信号(反転)1の立ち下がり

のタイミングでデータ入力端子Dの信号をラッチするD型フリップフロップ254は状態を変化させない(状態を保持する)。

【0075】(5)第1のカウンタ21Aの出力信号4がHighレベル(1)、第2のカウンタ22Aの出力信号3がHighレベル(1)、第3のカウンタ24Aの出力信号2がHighレベル(1)のとき、AND回路251の出力信号はLowレベルとされ、NOR回路252はHighレベルを出力し、セクタ253は、B端子に入力される第2のカウンタ22Aの出力信号Highレベルを選択して、D型フリップフロップ254のデータ入力端子Dに出力する。D型フリップフロップ254は帰還信号の立ち上がりエッジ(反転)でデータ入力端子Dの信号をサンプル出力し、出力信号はHighレベル(ロック)を出力する。

【0076】なお、図3、図4に示した構成の変形として、入力される帰還信号として、PLL回路の出力信号(基準信号のN通倍の周波数)を用い、帰還信号が基準信号の周波数の「N」倍であり、帰還信号を入力とする第1のカウンタ21Aが、「NA×N」分カウントしたときに出力信号をHighレベルとし、第2のカウンタ22Aが、基準信号を「NA」カウントしたときに、出力信号をHighレベルとし、第3のカウンタ24Aをカウントイネーブル状態として、第3のカウンタ24Aが帰還信号の立ち下がりのタイミングをカウントアップする構成とし、第3のカウンタ24Aが設定値「C」カウントしたとき、出力信号をHighレベルとする構成としてもよい。

【0077】以上、本発明を上記実施例に即して説明したが、本発明は、上記実施例の構成が限定されるものでなく、特許請求の範囲の各請求項の発明の範囲内で、当業者であればなし得るであろう、各種変形、修正を含むことは勿論である。

【0078】

【発明の効果】以上説明したように、本発明によれば、帰還信号と基準信号を計数する第1、第2のカウンタと、第1、第2のカウントにおける設定値の一致回数を計数する第3のカウンタとを少なくとも具備したことにより、ロック判定を行うための比較判定回数を一回でなく、第3のカウンタの設定値分の回数とするとともに、第1のカウンタのカウント値が設定値となり、第2のカウンタのカウント値が設定値に一致しないときに、ただちにアンロック状態を検出する構成としたことにより、アンロック検出時間を短縮し、ロック状態とアンロック状態の検出時間のそれぞれを最適に設定可能としている。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示す図である。

【図2】本発明の一実施例のタイミング動作を示す図である。

23

24

【図3】本発明の一実施例のロック検出回路の一例を示す図である。

【図4】本発明の他の実施例のロック検出回路の一例を示す図である。

【図5】図4の判定回路の構成の一例を示す図である。

【図6】図4の判定回路の動作を説明するための真理値表を示す図である。

【図7】図3の比較回路の構成の一例を示す図である。

【図8】従来のロック判定回路の構成を示す図である。

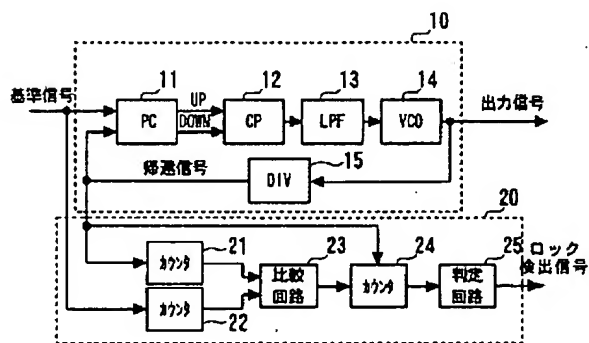
【図9】従来のPLL回路の構成の一例を示す図である。

【符号の説明】

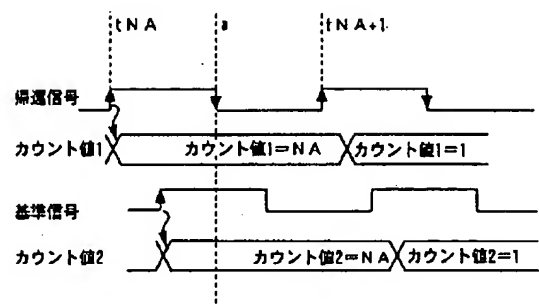
- 1 帰還信号（反転）
- 2 第3のカウンタの出力信号
- 3 第2のカウンタの出力信号
- 4 第1のカウンタの出力信号
- 10 PLL回路
- 11 位相比較器
- 12 チャージポンプ
- 13 ループフィルタ
- 14 電圧制御発振器
- 15 分周器
- 20 ロック検出回路
- 21、21A 第1のカウンタ
- 22、22A 第2のカウンタ
- 23 比較回路

- 23₁ 第1の比較回路
- 23₂ 第2の比較回路
- 23₃ レジスタ
- 24、24A 第3のカウンタ
- 25、25A 判定回路
- 26、27、28、29、30、32、251 AND回路
- 31₁～31_n 排他的否定論理和回路
- 33 レジスタ
- 10 PLL回路（集積化PLL回路）
- 131 位相比較器
- 132 チャージポンプ
- 133 ループフィルタ
- 134 電圧制御発振器
- 135 N分周器
- 136 M分周器
- 137 入力基準信号RCLK
- 138 出力信号OCLK
- 140 位相ロック回路
- 142 計数期間生成回路
- 144 出力信号カウンタ
- 146 ロック判定回路
- 148 カウント値比較回路
- 252 NOR回路
- 253 セレクタ
- 254 D型フリップフロップ

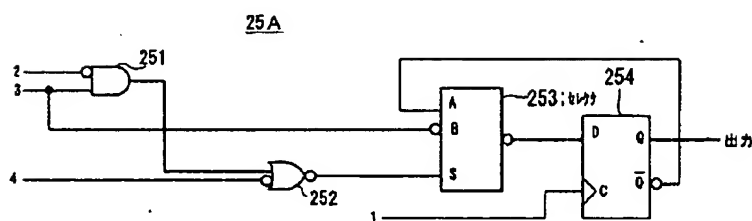
【図1】



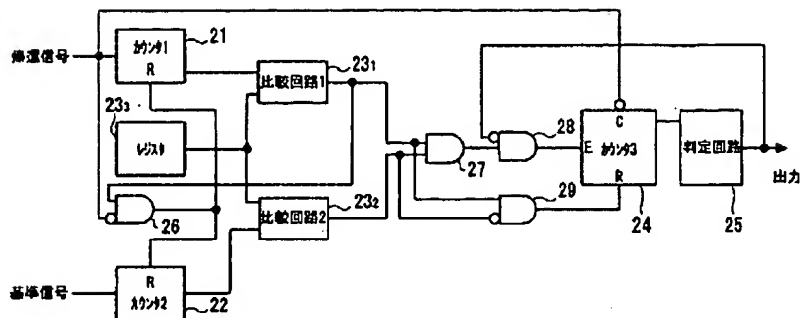
【図2】



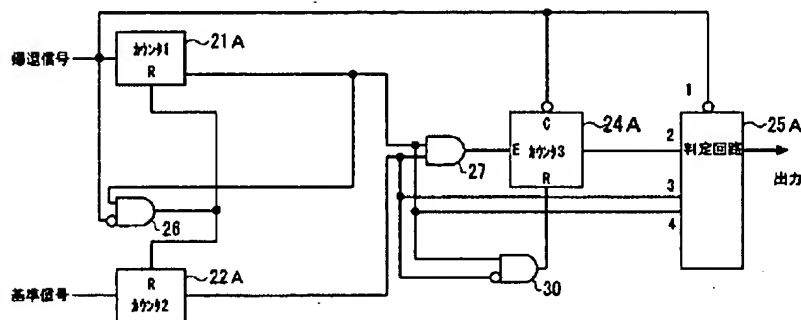
【図5】



【図3】



【図4】



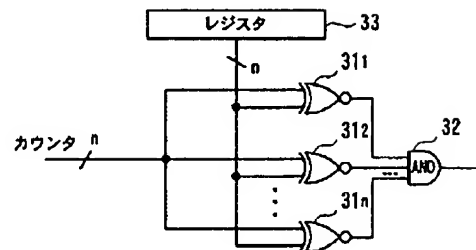
【図6】

1 帰還信号 (反転)	4 カウンタ1出力	3 カウンタ2出力	2 カウンタ3出力	出力
	0	x	x	保持
	1	0	x	0 (7707)
	x	1	0	保持
	0	1	1	保持
	1	1	1	1 (077)

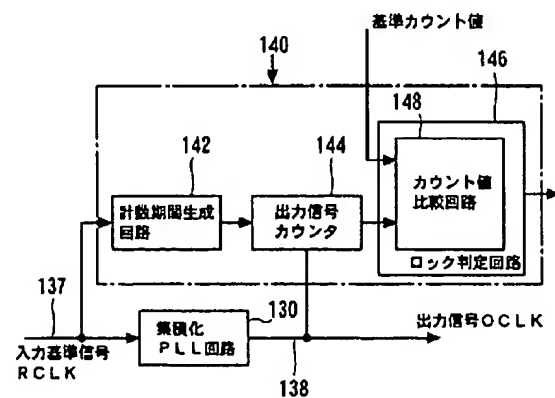
カウンタ1, 2, 3は7707の時、1を出力

カウンタ3:S=0の時、Aを出力、S=1の時、Bを出力

【図7】



【図8】



【図9】

